Docket No. 243479US0

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hidetoshi FUJIMOTO GAU:

SERIAL NO: New Application EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING A LATTICE-MISMATCHED SEMICONDUCTOR LAYER ON A SUBSTRATE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: **Application No.** **Date Filed**

■ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
Japan	2002-294101	October 7, 2002

Certified copies of the corresponding Convention Application(s)

■ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Norman F. Oblon
Registration No. 24,618

C. Irvin McClelland
Registration Number 21,124

Customer Number
22850
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日　本　国　特　許　庁
JAPAN　PATENT　OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:　２００２年１０月　７日

出願番号
Application Number:　特願２００２－２９４１０１

[ST.10/C]:　[ＪＰ２００２－２９４１０１]

出願人
Applicant(s):　株式会社東芝

２００２年１１月２９日

特許庁長官
Commissioner,
Japan Patent Office　太田信一郎

出証番号　出証特２００２－３０９４３１８

【書類名】　特許願

【整理番号】　ADB024004

【提出日】　平成14年10月 7日

【あて先】　特許庁長官殿

【国際特許分類】　H01L 21/331

【発明の名称】　トランジスタ、ウェーハ、トランジスタの製造方法、ウェーハの製造方法および半導体層の形成方法

【請求項の数】　12

【発明者】

【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

【氏名】　藤本　英俊

【特許出願人】

【識別番号】　000003078

【氏名又は名称】　株式会社　東芝

【代理人】

【識別番号】　100083806

【弁理士】

【氏名又は名称】　三好　秀和

【電話番号】　03-3504-3075

【選任した代理人】

【識別番号】　100068342

【弁理士】

【氏名又は名称】　三好　保男

【選任した代理人】

【識別番号】　100100712

【弁理士】

【氏名又は名称】　岩▲崎▼　幸邦

出証特２００２－３０９４３１８

【選任した代理人】

【識別番号】　100100929

【弁理士】

【氏名又は名称】　川又　澄雄

【選任した代理人】

【識別番号】　100108707

【弁理士】

【氏名又は名称】　中村　友之

【選任した代理人】

【識別番号】　100095500

【弁理士】

【氏名又は名称】　伊藤　正和

【選任した代理人】

【識別番号】　100101247

【弁理士】

【氏名又は名称】　高橋　俊一

【選任した代理人】

【識別番号】　100098327

【弁理士】

【氏名又は名称】　高松　俊雄

【手数料の表示】

【予納台帳番号】　001982

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　トランジスタ、ウェーハ、トランジスタの製造方法、ウェーハの製造方法および半導体層の形成方法

【特許請求の範囲】

【請求項１】　ガリウム砒素（ＧａＡｓ）基板と、

前記ガリウム砒素基板上に設けられるインジウム砒素（ＩｎＡｓ）層と、

前記インジウム砒素層上に設けられ、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい格子定数を有する半導体層を有することを特徴とするトランジスタ。

【請求項２】　前記半導体層がインジウムガリウム燐（ＩｎＧａＰ）層であることを特徴とする請求項１に記載のトランジスタ。

【請求項３】　前記半導体層がインジウム燐（ＩｎＰ）層であることを特徴とする請求項１に記載のトランジスタ。

【請求項４】　ガリウム砒素基板と、

前記ガリウム砒素基板上に設けられるインジウム砒素層と、

前記インジウム砒素層上に設けられ、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい格子定数を有する半導体層を有することを特徴とするウェーハ。

【請求項５】　シリコン（Ｓｉ）基板と、

前記シリコン基板の上方に設けられるガリウム砒素層と、

前記ガリウム砒素層上に設けられるインジウム砒素層と、

前記インジウム砒素層上に設けられ、前記ガリウム砒素層より大きく前記インジウム砒素層より小さい格子定数を有する半導体層を有することを特徴とするウェーハ。

【請求項６】　前記半導体層がインジウムガリウム燐層であることを特徴とする請求項４又は請求項５に記載のウェーハ。

【請求項７】　前記半導体層がインジウム燐層であることを特徴とする請求項４又は請求項５に記載のウェーハ。

【請求項８】　ガリウム砒素基板上に第１の基板温度でインジウム砒素層を

形成することと、

前記インジウム砒素層上に前記第１の基板温度で、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい第１の格子定数を有する第１の半導体層を形成することと、

前記第１の半導体層上に前記第１の基板温度より高い第２の基板温度で、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい第２の格子定数を有する第２の半導体層を形成することを有することを特徴とするウェーハの製造方法。

【請求項９】　前記第１の半導体層がインジウムガリウム燐層又はインジウム燐層であることを特徴とする請求項８に記載のウェーハの製造方法。

【請求項１０】　前記第２の半導体層がインジウムガリウム燐層又はインジウム燐層であることを特徴とする請求項８又は請求項９に記載のウェーハの製造方法。

【請求項１１】　ガリウム砒素基板上に第１の基板温度でインジウム砒素層を形成することと、

前記インジウム砒素層上に前記第１の基板温度で、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい第１の格子定数を有する第１の半導体層を形成することと、

前記第１の半導体層上に前記第１の基板温度より高い第２の基板温度で、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい第２の格子定数を有する第２の半導体層を形成することを有することを特徴とするトランジスタの製造方法。

【請求項１２】　ガリウム砒素基板上に第１の基板温度でインジウム砒素層を形成することと、

前記インジウム砒素層上に前記第１の基板温度で、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい第１の格子定数を有する第１の半導体層を形成することと、

前記第１の半導体層上に前記第１の基板温度より高い第２の基板温度で、前記ガリウム砒素基板より大きく前記インジウム砒素層より小さい第２の格子定数を

有する第２の半導体層を形成することを有することを特徴とする半導体層の形成方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ガリウム砒素（ＧａＡｓ）基板上にＧａＡｓではない化合物半導体のエピ層を形成する方法に関する。

【０００２】

【従来の技術】

ＩＩＩ-Ｖ族化合物半導体であるＧａＡｓ系のトランジスタは、シリコン（Ｓｉ）トランジスタに比べて、高動作周波数、低雑音、高出力、高利得、低動作電圧、高動作効率、低消費電力など、さまざまな優れた特徴を有している。これらの特徴のために、ＧａＡｓ系電界効果型トランジスタ（ＦＥＴ）やヘテロ接合バイポーラ型トランジスタ（ＨＢＴ）は、移動体通信用のデバイスとしてすでに実用化されている。このＧａＡｓ系ＦＥＴやＨＢＴの中で、インジウムガリウム砒素（ＩｎＧａＡｓ）層をベース層、このベース層に格子整合するインジウムガリウム燐（ＩｎＧａＰ）層あるいはインジウム燐（ＩｎＰ）層をエミッタ層として有するＨＢＴは動作電圧を低くすることができるので、注目を浴びつつある。

【０００３】

このようなＩｎＧａＡｓ層をベース層とするＨＢＴでは、ＩｎＧａＡｓ層に格子整合するＩｎＰ層あるいはＩｎＧａＰ層上に形成することが一般的である。従って、形成される基板としては、ＩｎＰ層を用いる場合のＩｎＰ基板を除いて格子整合する半導体基板が存在しないこともあり、ＩｎＰ基板が用いられる。しかし、ＩｎＰ基板は大口径化が困難であり、口径の小さなＩｎＰ基板でさえその価格はＧａＡｓ基板の５倍以上と高価である。このために、ＩｎＧａＡｓ層をベース層とするＨＢＴでは、ＩｎＰ基板に比較して大口径で安価なＧａＡｓ基板上にＩｎＰ層あるいはＩｎＧａＰ層を成長する試みがなされている。

【０００４】

しかし、例えば、ＧａＡｓ基板の格子定数に対するＧａＡｓ基板とＩｎＰ層の

格子定数の差の比率が約３．８％あることから、ＧａＡｓ基板上に直接ＩｎＰ単結晶層を成長することは困難である。そこで、従来、ＧａＡｓ基板からＩｎＰ層へと格子定数を連続的あるいは段階的に変化させるようなバッファ層を介して成長を行なっている（例えば、非特許文献１参照）。しかし、このようなバッファ層を有するＨＢＴでは、素子寿命が短かった。

【０００５】

【非特許文献１】

ルビシェヴ（Ｄ．Ｌｕｂｙｓｈｅｖ）、外９名，砒素（Ａｓ）、アンチモン（Ｓｂ）と燐（Ｐ）をベースとしたメタモルフィックＨＥＭＴの比較研究(A Comparative Study of As, Sb and P-based Metamorphic HEMT)，２０００　ＧａＡｓマンテック（２０００　ＧａＡｓ　ＭＡＮＴＥＣＨ），アメリカ合衆国，ＧａＡｓマンテック株式会社（ＧａＡｓ　ＭＡＮＴＥＣＨ，　Ｉｎｃ．），２０００年，ｐ．８５－８８

【０００６】

【発明が解決しようとする課題】

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、安価で素子寿命の長いトランジスタを提供することにある。

【０００７】

また、本発明の目的は、安価で素子寿命を長くすることが可能なウェーハを提供することにある。

【０００８】

本発明の目的は、安価で素子寿命を長くすることが可能なウェーハの製造方法を提供することにある。

【０００９】

本発明の目的は、安価で素子寿命を長くすることが可能なトランジスタの製造方法を提供することにある。

【００１０】

本発明の目的は、安価で素子寿命を長くすることが可能な半導体層の形成方法を提供することにある。

【００１１】

【課題を解決するための手段】

上記問題点を解決するための本発明の第１の特徴は、ガリウム砒素基板と、このガリウム砒素基板上に設けられるインジウム砒素層と、このインジウム砒素層上に設けられガリウム砒素基板より大きくインジウム砒素層より小さい格子定数を有する半導体層を有するトランジスタにある。

【００１２】

本発明の第２の特徴は、ガリウム砒素基板と、このガリウム砒素基板上に設けられるインジウム砒素層と、このインジウム砒素層上に設けられガリウム砒素基板より大きくインジウム砒素層より小さい格子定数を有する半導体層を有するウェーハにある。

【００１３】

本発明の第3.の特徴は、シリコン基板と、このシリコン基板の上方に設けられるガリウム砒素層と、このガリウム砒素層上に設けられるインジウム砒素層と、このインジウム砒素層上に設けられガリウム砒素層より大きくインジウム砒素層より小さい格子定数を有する半導体層を有するウェーハにある。

【００１４】

本発明の第４の特徴は、ガリウム砒素基板上に第１の基板温度でインジウム砒素層を形成することと、このインジウム砒素層上に第１の基板温度でガリウム砒素基板より大きくインジウム砒素層より小さい第１の格子定数を有する第１の半導体層を形成することと、この第１の半導体層上に第１の基板温度より高い第２の基板温度でガリウム砒素基板より大きくインジウム砒素層より小さい第２の格子定数を有する第２の半導体層を形成することを有するウェーハの製造方法にある。

【００１５】

本発明の第５の特徴は、ガリウム砒素基板上に第１の基板温度でインジウム砒素層を形成することと、このインジウム砒素層上に第１の基板温度でガリウム砒素基板より大きくインジウム砒素層より小さい第１の格子定数を有する第１の半導体層を形成することと、この第１の半導体層上に第１の基板温度より高い第２

の基板温度でガリウム砒素基板より大きくインジウム砒素層より小さい第２の格子定数を有する第２の半導体層を形成することを有するトランジスタの製造方法にある。

【００１６】

本発明の第６の特徴は、ガリウム砒素基板上に第１の基板温度でインジウム砒素層を形成することと、このインジウム砒素層上に第１の基板温度でガリウム砒素基板より大きくインジウム砒素層より小さい第１の格子定数を有する第１の半導体層を形成することと、この第１の半導体層上に第１の基板温度より高い第２の基板温度でガリウム砒素基板より大きくインジウム砒素層より小さい第２の格子定数を有する第２の半導体層を形成することを有する半導体層の形成方法にある。

【００１７】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態について説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。また、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。

【００１８】

ＧａＡｓ基板上に形成されたInP層等を有するトランジスタの素子寿命が短い原因について考察した。この原因は、従来のバッファ層に起因していると考えられた。従来のバッファ層では、ＧａＡｓ基板とＩｎＰ層の格子定数の違いによる歪を、コレクタ領域、ベース領域とエミッタ領域の結晶内部も有する。このため、トランジスタ形成後の信頼性試験においては、コレクタ領域等に存在する歪によって素子が劣化したと考えられた。

【００１９】

GaAs基板とInP層とでは、GaAs基板の方が格子定数が小さいため、InP層は圧縮歪を受ける。通常HBTでは、厚さ1-2μm程度の厚い積層構造を有するコレクタ領域等をＧａＡｓ基板上に有する。このため、素子形成直後は歪んだ結晶構造を積層構造が保持することができても、トランジスタ動作時の通電によりコレクタ領

域等の温度が上昇し、積層構造にストレスが加わると歪は素子形成直後より大きくなり、コレクタ領域等に転位が入ると考えられた。素子形成直後のトランジスタのコレクタ領域等の結晶構造の歪みを小さくすることが必要であると考えられた。

【００２０】

(第1の実施形態)

本発明の第1の実施形態に係るダブルヘテロ接合型バイポーラトランジスタ(DHBT)は、図1に示すように、半絶縁性GaAs基板1の上に、順にInAsバッファ層3、低温成長InP層4、高温成長InP層5、n型InGaAsコレクタコンタクト層6、アンドープInPコレクタ層7、p型InGaAsベース層8、n型InPエミッタ層9、n型InPエミッタコンタクト層10とn型InGaAsエミッタコンタクト層11が積層されている。

【００２１】

InAsバッファ層3の厚さは約1nmとした。InAsバッファ層3がGaAs基板1とInP層４、５の格子不整合に伴って発生する歪を緩和する働きを持つ。InAsバッファ層3の厚さは１０ｎｍ以下より好ましくは3nm以下であることが望ましい。これは、厚すぎるとInAsバッファ層３自身に入る転位が上層のInP層４、５へ引き継がれるからである。これより、InAsバッファ層3の厚さは、１ｎｍより薄くてもよい。すなわち、ＧａＡｓ基板１の表面のＡｓの単原子層の上に設けられるＩｎの単原子層と、このＩｎの単原子層の上に設けられるＡｓの単原子層とによってInAsバッファ層３が構成されていてもよい。

【００２２】

低温成長InP層4の厚さは20nmとした。高温成長InP層5の厚さは0.5μmとした。n型InGaAsコレクタコンタクト層6の厚さは0.5μmとし、キャリア濃度は$2\times10^{19}cm^{-3}$とした。アンドープInPコレクタ層7の厚さは10nmとした。p型InGaAsベース層8の厚さは50nmとし、キャリア濃度は$4\times10^{19}cm^{-3}$とした。n型InPエミッタ層9の厚さは20nmとし、キャリア濃度は$3\times10^{17}cm^{-3}$とした。n型InPエミッタコンタクト層10の厚さは100nmとし、キャリア濃度は$2\times10^{18}cm^{-3}$とした。n型InGaAsエミッタコンタクト層11の厚さは100nmとし、キャリア濃度は$3\times10^{19}cm^{-3}$とした。

【００２３】

n型InGaAsコレクタコンタクト層6の上にはコレクタ電極２１が設けられている。p型InGaAsベース層8の上にはベース電極２２が設けられている。n型InGaAsエミッタコンタクト層11の上にはエミッタ電極２３が設けられている。コレクタ電極２１、ベース電極２２とエミッタ電極２３はオーミック電極である。

【００２４】

GaAs基板１とInP層４、５あるいはInGaP層との間にInAsバッファ層３を介在させる。ここで、各材料系の格子定数を記述すると、基板１のGaAsの格子定数が0.5653nm、半導体層４、５のInPの格子定数が0.5869nm、ＩｎＡｓバッファ層３のInAsの格子定数が0.6058nmである。InGaPの格子定数はInとGaの組成比ｘに応じて変化する。ここで、組成比ｘは$In_xGa_{1-x}P$（０＜ｘ＜１）と表記される。組成比ｘが０．４８において、InGaPの格子定数はGaAsの格子定数と等しくなる。組成比ｘが０．４８より大きいと、InGaPの格子定数はGaAsの格子定数より大きくなる。組成比ｘが１に近づく程、組成がＩｎＰに近づくため、格子定数もInPの格子定数に近づく。

【００２５】

GaAs基板１の上にInP層４、５あるいは組成比ｘが０．４８より大きいInGaP層を形成する場合に、InP層４、５あるいはInGaP層に圧縮歪みが発生する。そこで、GaAs基板１とInP層等４、５の間に、ＧａＡｓとＩｎＰより格子定数の大きなInAsバッファ層３を挿入する。InAsバッファ層３の内部や界面では、大量の転位が発生する。これは圧縮歪みの限界を越える程に格子定数の差があるからである。この転位の発生により、歪みは緩和され、InAsバッファ層３の上に形成されるInP層４、５は、下地であるGaAs基板１の格子定数の影響をほとんど受けない。そして、GaAs基板１の上にInP層等４、５を形成した場合のInP層４、５の圧縮歪みは緩和される。そして、InAsバッファ層３を省いて低温InP層４を設けたDHBTと比較して第１の実施形態のDHBTでは、素子寿命が約30%改善された。そして、素子寿命の長いHBTを安価なGaAs基板１上に形成することができる。

【００２６】

次に、第１の実施形態のDHBTの製造方法について述べる。

【００２７】

GaAs基板１上に積層した各層３乃至１１は有機金属化学気相成長（MOCＶＤ）法で成長した。成長に用いた原料は次の通りである。III族原料としてトリメチルガリウム（TMG、$(CH_3)_3Ga$）、トリエチルガリウム（TEG、$(C_2H_5)_3Ga$）とトリメチルインジウム（TMI、$(CH_3)_3In$）を用いた。水素(H_2)をIII族原料のキャリアガスとした。水素によってIII族原料をバブリングした。V族原料はアルシン（AsH_3）ガスおよび ホスフィン（PH_3）ガスを用いた。n型層のドーピング原料にはシラン（SiH_4）ガスおよびジエチルテルル（DETe、$(C_2H_5)_2Te$）を用いた。p型層のドーピング原料には四臭化炭素（CBr_4）を用いた。V族原料とドーピング原料のキャリアガスにも水素を用いた。各種原料とキャリアガスの反応管内の総流量は０．１６６（１／ｓ）で、反応管内の圧力は0.1気圧程度の減圧で、各層３乃至１１の成長を行った。

【００２８】

まず、抵抗率が10^7Ω cm以上で、主面が(100)面から<110>方向に2° 程度傾いた半絶縁性GaAs基板１をメタルオーガニック（MO）CVD装置内の加熱可能なサセプタ上に配置した。加熱方法は抵抗加熱、RFコイルによる誘導加熱、ランプ加熱等があるが、いずれの場合も可能である。本第１の実施形態ではランプ加熱法を用いた。なお、以下に記載する温度は、サセプタに取りつけた熱電対の指示温度いわゆるサセプタ温度であり、GaAs基板１の表面の温度いわゆる基板温度とは異なる。しかし、反応管内の圧力と総流量が一定の条件下では、サセプタ温度が上昇すれば基板温度も上昇する１対１の相関関係にあると考えられる。

【００２９】

次に、サセプタ温度を650℃程度に昇温し、反応管内の雰囲気を約10分間AsH_3雰囲気にした。反応管内の圧力は0.2気圧程度とした。このことにより、GaAs基板１の表面にある酸化膜などを除去した。

【００３０】

次に、反応管内の雰囲気をAsH_3雰囲気のまま、サセプタ温度を350℃まで降温した。サセプタ温度が350℃で、まずAsH_3の供給を停止し、次にTMIを供給し、次にPH_3を供給した。このことにより、InAsバッファ層3および低温InP層4を成長さ

せた。AsH_3の供給停止後にTMIの供給を行なうことによって、As原子で覆われているGaAs基板１の表面に、InAsバッファ層3を形成することができる。なお、低温InP層4の成膜直後は、低温InP層4は多結晶層である。また、「AsH_3雰囲気」とは、キャリアガスの中に、GaAs基板１などのＡｓを含む層からAsが蒸発しない程度にＡｓを供給可能な雰囲気のことで、AsH_3の熱分解によりＡｓが供給される。以下に用いる「PH_3雰囲気」も同等の意味である。ＡｓをＰに読み替えればよい。

【００３１】

本第１の実施形態においては、InAsバッファ層３をGaAs基板１の表面をInで置換することによって形成した。これに限らず、In原料であるTMIとAs原料であるAsH_3とを流すことによってもInAsバッファ層３を形成できる。この場合にはより厚いInAsバッファ層３を形成できる。

【００３２】

また、このInAsバッファ層３の成長時のサセプタ温度は、450℃以下より望ましくは400℃以下であることが望ましい。これより高い温度、例えば500℃では、InAs表面に起因すると思われる表面状態の荒れが発生するためである。

【００３３】

次に、反応管内の雰囲気をPH_3雰囲気のまま、サセプタ温度を650℃まで昇温する。サセプタ温度が650℃において、TMIを供給し高温InP層5を形成した。昇温過程において多結晶であった低温InP層4の表面が単結晶となり、高温ＩｎＰ層5の形成において種結晶としての働きをする。

【００３４】

サセプタ温度を650℃のまま、AsH_3、PH_3、TMG、TMI、SiH_4を用いてn型InGaAsコレクタコンタクト層6とアンドープInPコレクタ層7を形成した。

【００３５】

次に、PH_3雰囲気中で、サセプタ温度を475℃に降温した。サセプタ温度が475℃に安定した後、V族原料ガスをAsH_3に切り換え、さらにTEG、TMIおよびCBr_4を供給して p型InGaAs層8を形成した。

【００３６】

次に、AsH_3雰囲気中で、サセプタ温度を560℃に昇温した。サセプタ温度が560℃に安定した後、V族原料ガスをPH_3に切り換え、さらにTMIおよびSiH_4を供給してn型InP層9とn型InP層10を形成した。

【００３７】

次に、PH_3雰囲気中でサセプタ温度を450℃に降温した。サセプタ温度が450℃に安定した後、V族原料ガスをAsH_3に切り換え、さらにTEG、TMIおよびDETeを供給してn型InGaAs層11を形成した。

【００３８】

n型InGaAs層11を形成した後、すべての原料を停止し、H_2雰囲気中でサセプタ温度を室温まで降温し、窒素（N_2）雰囲気に切り換えた後、結晶成長されたGaAs基板１をMOCVD装置から取り出した。

【００３９】

InGaAs層８、１１およびGaAs層は、燐酸（H_3PO_4）と過酸化水素水（H_2O_2）と純水（H_2O）との混合溶液によって、InP層７、９、１０に対して選択的にエッチング除去することが可能である。InP層７、９、１０は、塩酸(HCl)と純水との混合溶液によって、InGaAs層６、８に対して選択的にエッチング除去することが可能である。n型InGaAsコレクタコンタクト層6とp型InGaAsベース層8を露出させた。なお、各層３乃至１１間には製造プロセス上必要となるエッチングストップ層などを適宜配することも可能である。

【００４０】

露出したn型InGaAsコレクタコンタクト層6、p型InGaAsベース層8と n型InGaAsエミッタコンタクト層11の上に、リフトオフプロセスを用いて適宜オーミック電極21乃至23を形成する。電極２１乃至２３に用いる金属材料としては、例えば、コレクタ電極21およびエミッタ電極23については、金（Au）/ゲルマニウム（Ge）/ニッケル（Ni）の積層構造を用いた。ベース電極22については、チタニウム（Ti）/白金（Pt）/Auの積層構造が用いることができる。

【００４１】

GaAs基板１上に複数個作製されたDHBTは素子毎に分離・分割される。各素子は、別に用意した窒化アルミニウム（AlN）マウント用支持基板上に配置される。

同一のマウント用支持基板上に配置された他の素子と組み合わせ・結線し、モールドなどの処理を施す。以上で半導体装置が完成する。

【００４２】

なお、本第１の実施形態においては、GaAs基板１として主面が(100)面から<110>方向に2°程度傾いた半絶縁性GaAs基板を用いたが、主面がほぼ(100)面である傾斜角のないGaAs基板から、主面が(100)面から<110>方向に8°程度傾いたGaAs基板までを用いることが望ましい。また、特に、主面がほぼ(100)面である、すなわち傾斜角度が1°未満であるGaAs基板を用いることが望ましい。これは、低温InP層4が成長直後には多結晶状態であるため、GaAs基板１の表面にテラスが広くサイトのほとんどないGaAs基板１の方が平坦性の高い低温InP層4を形成しやすいためである。一方、傾斜角の範囲が6°以上8°以下であると、ドーピング原料を減らしても所定のキャリア濃度が得られた。ドーピング原料の使用量を減らすことができる。

【００４３】

以上述べてきたように、第１の実施形態のDHBTの製造方法を用いることで、比較的安価で大口径化可能なGaAs基板１上に設けられ低電圧動作が可能なInGaAsベース層８を有するHBTを提供することができる。

【００４４】

なお、第１の実施形態においては、エミッタ層９をＩｎＰとしたが、ＩｎＧａＡｓベース層と格子整合するＩｎＡｌＡｓ層を用いることも可能である。これは、伝導帯と価電子帯とのエネルギー障壁の割合を変えることができるためで、用途によって異なる仕様にデバイス特性を変えることができる。

【００４５】

(第2の実施形態)

本発明の第2の実施形態に係るDHBTでは、図2に示すように、図1の第１の実施形態のDHBTの構成に加えて、半絶縁性GaAs基板1とInAsバッファ層3との間にGaAs層2を挿入している。GaAs層2の厚さは４０ｎｍとした。これは、InAsバッファ層3との界面となるGaAs表面の改質を目的とする。GaAs表面の結晶性が向上し、均一なInAsバッファ層3を得ることができる。このことにより、素子寿命が第１の

実施形態のDHBTに比べて、さらに約３０％改善された。

【００４６】

次に、第2の実施形態に係るDHBTの製造方法について説明する。原料等については第1の実施形態と同じである。

【００４７】

まず、抵抗率が10^7Ω cm以上で、主面が(100)面から<110>方向に2° 程度傾いた半絶縁性GaAs基板１をMOCVD装置内の加熱可能なサセプタ上に配置した。

【００４８】

サセプタ温度を650℃程度にまで昇温した。反応管内の雰囲気を約10分間AsH_3雰囲気にした。反応管内の圧力は0.2気圧程度とした。このことにより、GaAs基板１の表面にある酸化膜などを除去した。続いて、TMGを供給し、GaAs層2を成長した。成長時の反応管内の圧力は0.2気圧程度とした。以下、積層構造の形成方法および素子化プロセスについては第1の実施形態と同じである。

【００４９】

(第3の実施形態)

本発明の第3の実施形態に係るシングルヘテロ接合型バイポーラトランジスタ(SHBT)について、図3に示すように、半絶縁性GaAs基板1の上に、順にGaAs層2、InAsバッファ層3、低温成長InP層4、高温成長InGaP層15、n型InGaAsコレクタコンタクト層6、n型InGaAsコレクタ層17、p型InGaAsベース層8、n型InGaPエミッタ層19、n型InGaAsエミッタコンタクト層20、n型InGaAsエミッタコンタクト層11が積層されている。

【００５０】

GaAs層2の厚さは約50nmとした。InAsバッファ層3の厚さは約1nmとした。低温成長InP層4の厚さは20nmとした。高温成長InGaP層15の厚さは1μmとした。n型InGaAsコレクタコンタクト層6のInの組成比は15%とし、厚さは0.5μmとし、キャリア濃度は$3\times10^{18}cm^{-3}$とした。n型InGaAsコレクタ層17のInの組成比は15%とし、厚さは0.7μmとし、キャリア濃度は$1\times10^{16}cm^{-3}$とした。p型InGaAsベース層8のInの組成比は15%とし、厚さは80nmとし、キャリア濃度$3\times10^{19}cm^{-3}$とした。n型InGaPエミッタ層19のInの組成比は56%とし、厚さは25nmとし、キャリア濃

度は3×１０^{17}cm^{-3}とした。n型InGaAsエミッタコンタクト層20のInの組成比は15%とし、厚さは50nmとし、キャリア濃度は2×１０^{18}cm^{-3}とした。n型InGaAsエミッタコンタクト層11の表面でのInの組成比は70%とし、厚さは100nmとし、キャリア濃度は3×１０^{19}cm^{-3}とした。なお、n型InGaAsエミッタコンタクト層11は、In組成比を15%から70%まで傾斜的に変化させた傾斜領域と組成比が均一な均一領域とを有する。それぞれの領域の厚さは、エミッタ抵抗の仕様によって適宜分配することができる。本第３の実施形態においては、傾斜領域と均一領域の厚さをおのおの50nmとした。

【００５１】

n型InGaAsコレクタコンタクト層6の上にはコレクタ電極２１が設けられている。p型InGaAsベース層8の上にはベース電極２２が設けられている。n型InGaAsエミッタコンタクト層11の上にはエミッタ電極２３が設けられている。コレクタ電極２１、ベース電極２２とエミッタ電極２３はオーミック電極である。

【００５２】

次に、第３の実施形態のSHBTの製造方法について述べる。原料等については第1の実施形態と同じものを用いた。

【００５３】

半絶縁性GaAs基板１の抵抗率は10^{7}Ωcm以上で、主面が(100)面から<110>方向に2°程度傾いている。この半絶縁性GaAs基板１をMOCVD装置内の加熱可能なサセプタ上に配置した。サセプタ温度を650℃程度まで昇温し、GaAs基板1を加熱した。反応管内の雰囲気をAsH_3雰囲気にし、このAsH_3雰囲気を約10分間維持した。反応管内の圧力は0.2気圧程度とした。このことにより、GaAs基板１の表面にある酸化膜などを除去した。続いて、反応管内にTMGを供給し、GaAs層2を成長した。

【００５４】

次に、AsH_3雰囲気中で成長圧力を0.1気圧程度に減圧するとともに、サセプタ温度を350℃まで降温した。その350℃の温度のまま、まずAsH_3の供給を停止し、次にTMIを供給し、次にPH_3を供給した。このことにより、InAsバッファ層3および低温成長InP層4を成長した。以下、積層構造１５、６、１７、８、１９、２０、１１の形成方法については、第1の実施形態に準じるため詳細については省略

する。成長時のサセプタ温度は、高温InGaP層15とn型InGaAs層6、17までが650℃であり、p型InGaAs層8が475℃であり、n型InGaP層19とn型InGaAs層20が560℃であり、n型InGaAs層11が450℃であった。結晶成長後の製造方法は第1の実施形態に準じるため、説明は省略する。

【００５５】

本第３の実施形態のSHBTを用いると、ターンオン電圧が、GaAs層２とInAsバッファ層２が無くGaAs基板１に格子整合するInGaP/GaAs系のHBTでは1.1V程度であるのに対して、0.9Vと低電圧化を図ることができた。また、組成傾斜InAlAs層をGaAs基板１上に形成する場合と比較して、本第３の実施形態のSHBTでは、素子の信頼性が改善された。また、本第３の実施形態では、SHBTを紹介したが、n型InGaAsコレクタ層17をn型InGaPコレクタ層としたダブルヘテロ構造を有するDHBTであってもよい。このDHBTであれば、逆方向のリーク電流を抑制することができるためターンオン電圧をさらに低減することができる。

【００５６】

本第３の実施形態のSHBTの低温InP層4の代わりに、低温InGaP層を用いることもできる。この低温InGaP層を用いることにより、上層の高温InGaP層１５とのＩｎの組成比の合わせ込みが困難になる。しかし、組成比を合わせることができれば、低温InGaP層を高温InGaP層１５の種結晶とすることができ、高温InGaP層１５の単結晶化を促進することができる。この単結晶化の促進により、素子寿命を20%程度改善できた。

【００５７】

(第4の実施形態)

本発明の第4の実施形態に係る高電子移動度トランジスタ(HEMT)について、図4に示すように、半絶縁性GaAs基板1の上に、順にGaAs層2、InAsバッファ層3、低温成長InP層4、高温成長InP層5、アンドープInGaAs電子走行層24、n型InP電子供給層25、アンドープInPショットキー層26、n型InGaAsオーミックコンタクト層27、28が積層されている。

【００５８】

GaAs層2の厚さは約50nmとした。InAsバッファ層3の厚さは約1nmとした。低温

成長InP層4の厚さは20nmとした。高温成長InP層5の厚さは1μmとした。アンドープInGaAs電子走行層24のInの組成比は53%とし、厚さは20nmとした。n型InP電子供給層25の厚さは30nmとし、キャリア濃度は$5\times10^{17}cm^{-3}$とした。アンドープInPショットキー層26の厚さは10nmとした。n型InGaAsオーミックコンタクト層27、28のInの組成比は53%とし、厚さは20nmとし、キャリア濃度は$2\times10^{18}cm^{-3}$とした。

【００５９】

n型InGaAsオーミックコンタクト層28の上にはソース電極２９が設けられている。n型InGaAsオーミックコンタクト層27の上にはドレイン電極３１が設けられている。アンドープInPショットキー層26の上にはゲート電極３０が設けられている。

【００６０】

このような構成をとることにより、比較的安価なGaAs基板１上に高周波特性にすぐれたInP系HEMTを形成することができる。

【００６１】

本第４の実施形態のHEMTにおいては、n型InP電子供給層25とアンドープInGaAs電子走行層24の組み合わせについて説明した。別の組み合わせとして、InGaP層を電子供給層とし、それにおおよそ格子整合するInGaAs層を電子走行層とすることも可能である。電子供給層をInGaP層にすることにより、InGaAs電子走行層中のInの組成比を下げることができ、合金散乱を抑制することができるので、移動度を上昇させることができる。

【００６２】

(第5の実施形態)

本発明の第5の実施形態に係るウェーハは、図5に示すように、半絶縁性GaAs基板1上に、順にGaAs層2、InAsバッファ層3、低温成長InP層4と高温成長InP層5が積層されている。GaAs層2の厚さは約50nmとした。InAsバッファ層3の厚さは約1nmとした。低温成長InP層4の厚さは20nmとした。高温成長InP層5の厚さは1μmとした。

【００６３】

本第５の実施形態のウェーハの製造方法では、MOCVD法で各層２乃至５を成長させた。GaAs基板１をMOCVD装置内の加熱可能なサセプタ上に配置した。GaAs層2の成長時には、サセプタ温度を650℃まで昇温し、GaAs基板1を加熱した。InAsバッファ層3および低温成長InP層4の成長時には、サセプタ温度を350℃まで降温し、GaAs基板1を加熱した。高温成長InP層5の成長時には、サセプタ温度を560℃まで昇温し、GaAs基板1を加熱した。

【００６４】

本第５の実施形態のウェーハと、InAsバッファ層3がない構造のウェーハとで、高温成長InP層5の比較評価を行なった。　本第５の実施形態のウェーハはInAsバッファ層3がない構造のウェーハと比較して、抵抗率が３０％大きく、キャリア濃度が３０％低く、X線回折の半値幅が３０％狭かった。このように評価したすべての項目が改善された。

【００６５】

(第６の実施形態)

本発明の第６の実施形態に係るDHBTは、図６に示すように、シリコン(Si)基板32上に、順にGaAsバッファ層33、GaAs層34、InAsバッファ層3、低温成長InP層4、高温成長InP層5、n型InGaAsコレクタコンタクト層6、アンドープInPコレクタ層7、p型InGaAsベース層8、n型InPエミッタ層9、n型InPエミッタコンタクト層10とn型InGaAsエミッタコンタクト層11が積層されている。

【００６６】

GaAsバッファ層33の厚さは0.1μm とした。GaAs層34の厚さは2μmとした。InAsバッファ層3の厚さは約1nmとした。低温成長InP層4の厚さは20nmとした。高温成長InP層5の厚さは0.5μmとした。以下各層の厚さとキャリア濃度は第１の実施形態と等しい。コレクタ電極２１、ベース電極２２とエミッタ電極２３の配置も第１の実施形態と等しい。

【００６７】

第６の実施形態のDHBTでは、第１の実施形態のDHBTと同等の素子寿命が得られた。素子寿命の長いHBTを安価なSi基板32上に形成することができる。

【００６８】

次に、第６の実施形態のDHBTの製造方法について述べる。

【００６９】

Si基板32上に積層した各層33、34、３乃至１１はＭＯＣＶＤ法で成長した。成長に用いた原料は第１の実施形態と同じである。

【００７０】

まず、Si基板32をMOCVD装置内の加熱可能なサセプタ上に配置した。

【００７１】

次に、サセプタ温度を650℃程度に昇温し、反応管内の雰囲気を約10分間AsH_3雰囲気にした。反応管内の圧力は0.2気圧程度とした。続いて、反応管内にTMGを供給し、GaAsバッファ層33を成長した。さらに、TMGの供給量を増やして、GaAs層34を成長した。

【００７２】

次に、反応管内の雰囲気をAsH_3雰囲気のまま、サセプタ温度を350℃まで降温した。サセプタ温度が350℃で、まずAsH_3の供給を停止し、次にTMIを供給し、次にPH_3を供給した。このことにより、InAsバッファ層3および低温InP層4を成長させた。以下、各層５乃至１１の成長は第１の実施形態と同様に行った。また、コレクタ電極21、エミッタ電極23とベース電極22の形成、素子毎のダイシングやパッケージングも第１の実施形態を同様に行った。

【００７３】

以上述べてきたように、第６の実施形態のDHBTの製造方法を用いることで、安価で大口径なSi基板32上に設けられ低電圧動作が可能なInGaAsベース層８を有するHBTを提供することができる。

【００７４】

(第７の実施形態)

本発明の第7の実施形態に係るウェーハは、図7に示すように、Si基板32上に、順にGaAsバッファ層33、GaAs層34、GaAsバッファ層2、InAsバッファ層3、低温成長InP層4、高温成長InP層5が積層されている。GaAsバッファ層33の厚さは0.1μmとした。GaAs層34の厚さは2μmとした。GaAsバッファ層2の厚さは40nm とした。InAsバッファ層3の厚さは約1nmとした。低温成長InP層4の厚さは20nmとした。

高温成長InP層5の厚さは0.5μmとした。

【００７５】

本第７の実施形態のウェーハの製造方法は、第６の実施形態の製造方法での各層３３、３４と２乃至５の成長方法と同じである。

【００７６】

本第７の実施形態のウェーハは、第５の実施形態のウェーハと比較して、高温成長InP層5の抵抗率が同等で、キャリア濃度も等しく、X線回折の半値幅も等しかった。

【００７７】

【発明の効果】

以上説明したように、本発明によれば、安価で素子寿命の長いトランジスタを提供することができる。

【００７８】

また、本発明によれば、安価で素子寿命を長くすることが可能なウェーハを提供することができる。

【００７９】

本発明によれば、安価で素子寿命を長くすることが可能なウェーハの製造方法を提供することができる。

【００８０】

本発明によれば、安価で素子寿命を長くすることが可能なトランジスタの製造方法を提供することができる。

【００８１】

本発明によれば、安価で素子寿命を長くすることが可能な半導体層の形成方法を提供することができる。

【図面の簡単な説明】

【図１】

本発明の第１の実施形態に係るＨＢＴの模式的な断面図である。

【図２】

本発明の第２の実施形態に係るＨＢＴの模式的な断面図である。

【図３】

本発明の第３の実施形態に係るＨＢＴの模式的な断面図である。

【図４】

本発明の第４の実施形態に係るＨＥＭＴの模式的な断面図である。

【図５】

本発明の第５の実施形態に係るウェーハの模式的な断面図である。

【図６】

本発明の第６の実施形態に係るＨＢＴの模式的な断面図である。

【図７】

本発明の第７の実施形態に係るウェーハの模式的な断面図である。

【符号の説明】

１　ＧａＡｓ基板

２　ＧａＡｓ層

３　ＩｎＡｓバッファ層

４　低温ＩｎＰ層

５　高温ＩｎＰ層

６　ｎ型ＩｎＧａＡｓ層

７　アンドープＩｎＰ層

８　ｐ型ＩｎＧａＡｓ層

９　ｎ型ＩｎＰ層

１０　ｎ型ＩｎＰ層

１１　ｎ型ＩｎＧａＡｓ層

１５　高温ＩｎＧａＰ層

１７　ｎ型ＩｎＧａＡｓ層

１９　ｎ型ＩｎＧａＰ層

２０　ｎ型ＩｎＧａＡｓ層

２１　コレクタ電極

２２　ベース電極

２３　エミッタ電極

２４　ＩｎＧａＡｓ層

２５　ｎ型ＩｎＰ層

２６　ＩｎＰ層

２７、２８　ｎ型ＩｎＧａＡｓ層

２９　ソース電極

３０　ゲート電極

３１　ドレイン電極

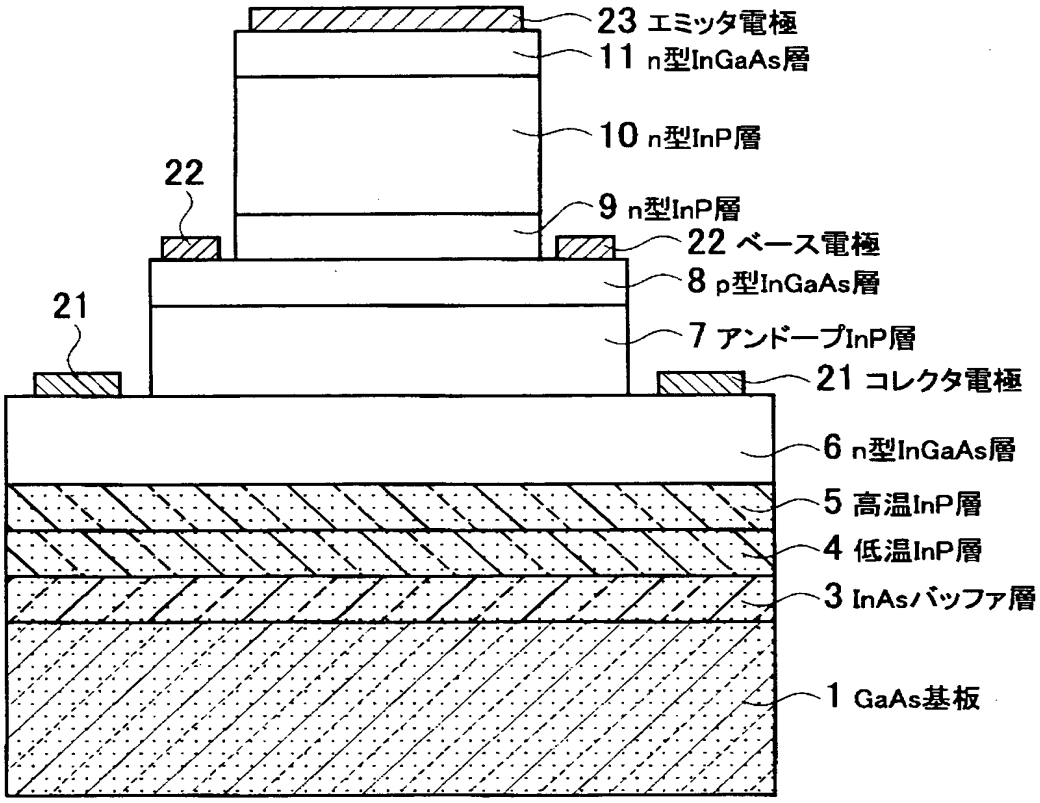
３２　Ｓｉ基板

３３　ＧａＡｓバッファ層

３４　ＧａＡｓ層

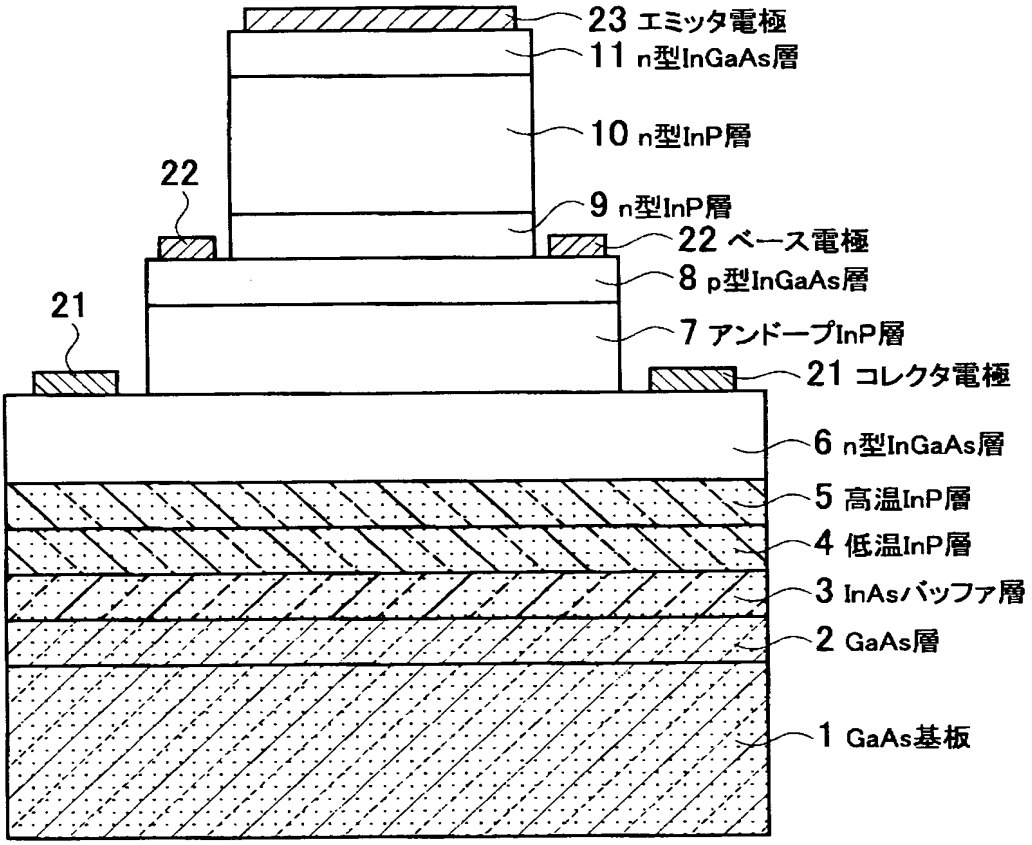
【書類名】　　図面

【図１】

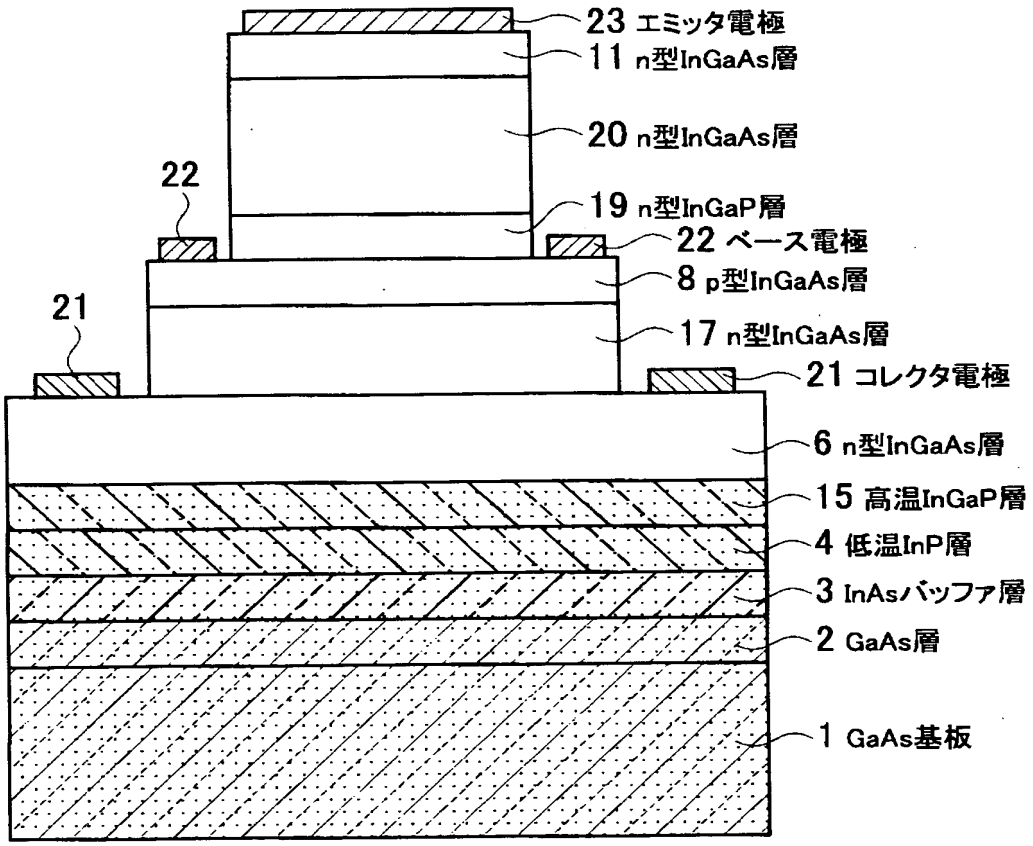


出証特２００２－３０９４３１８

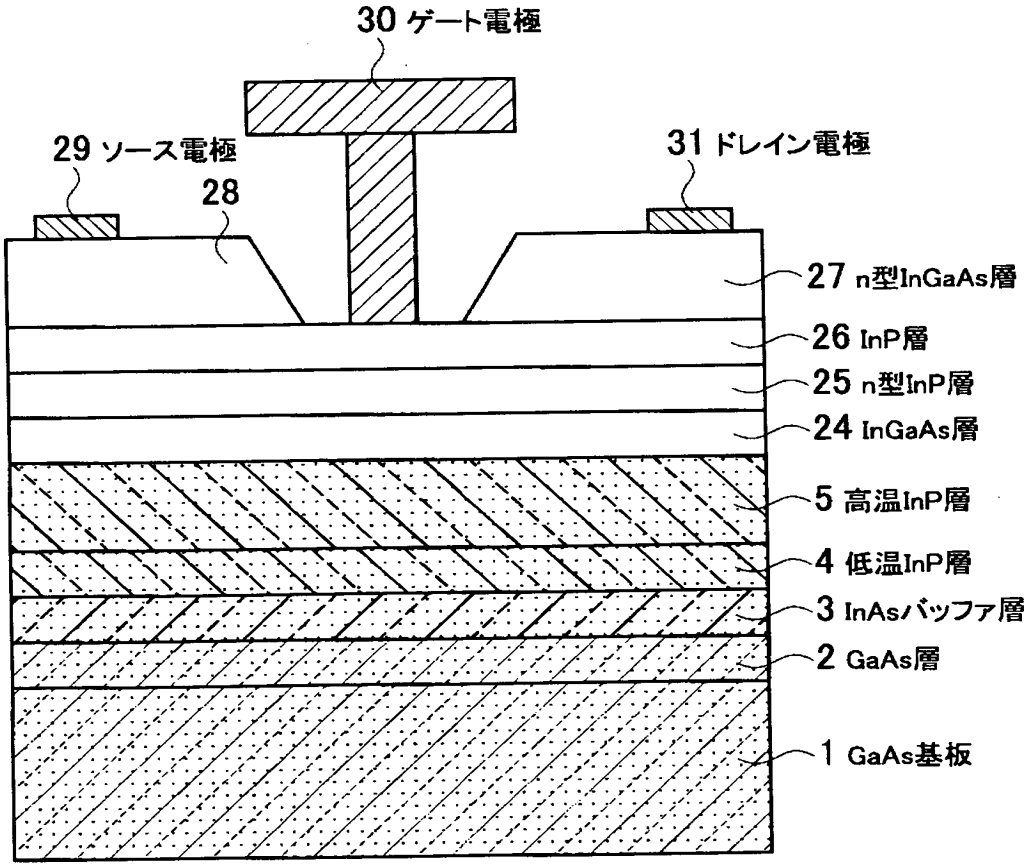
【図２】


23 エミッタ電極
11 n型InGaAs層
10 n型InP層
22
9 n型InP層
22 ベース電極
8 p型InGaAs層
21
7 アンドープInP層
21 コレクタ電極
6 n型InGaAs層
5 高温InP層
4 低温InP層
3 InAsバッファ層
2 GaAs層
1 GaAs基板

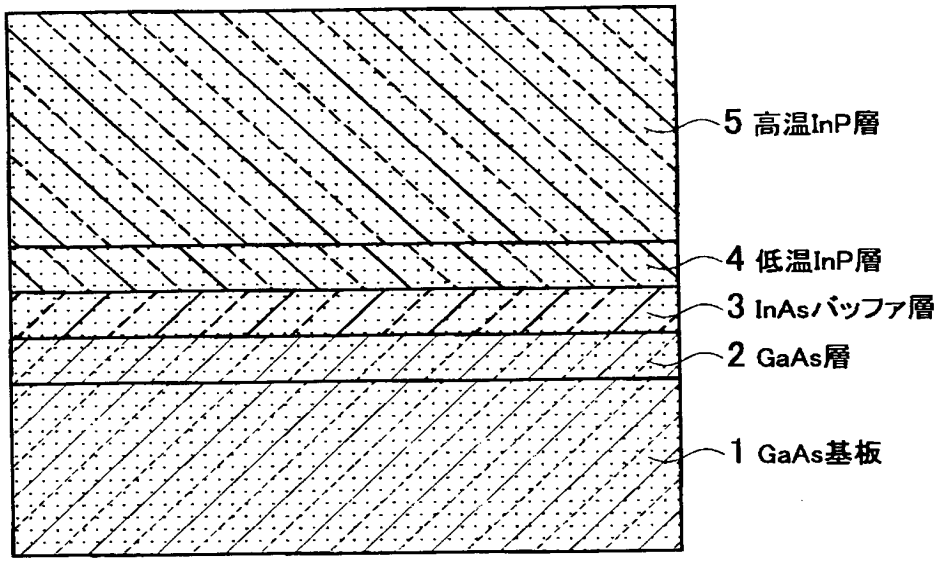
【図３】


23 エミッタ電極
11 n型InGaAs層
20 n型InGaAs層
22
19 n型InGaP層
22 ベース電極
8 p型InGaAs層
21
17 n型InGaAs層
21 コレクタ電極
6 n型InGaAs層
15 高温InGaP層
4 低温InP層
3 InAsバッファ層
2 GaAs層
1 GaAs基板

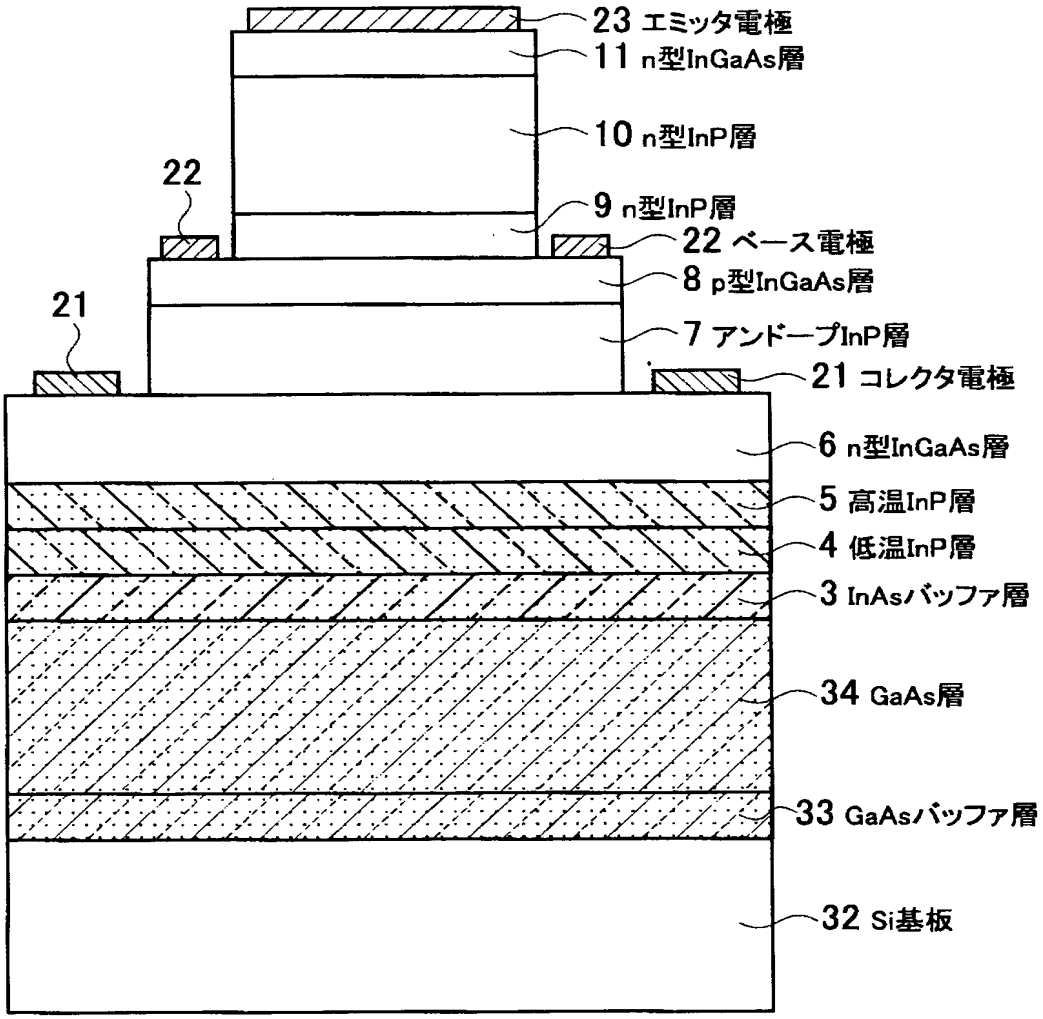
【図４】


30 ゲート電極
29 ソース電極
28
31 ドレイン電極
27 n型InGaAs層
26 InP層
25 n型InP層
24 InGaAs層
5 高温InP層
4 低温InP層
3 InAsバッファ層
2 GaAs層
1 GaAs基板

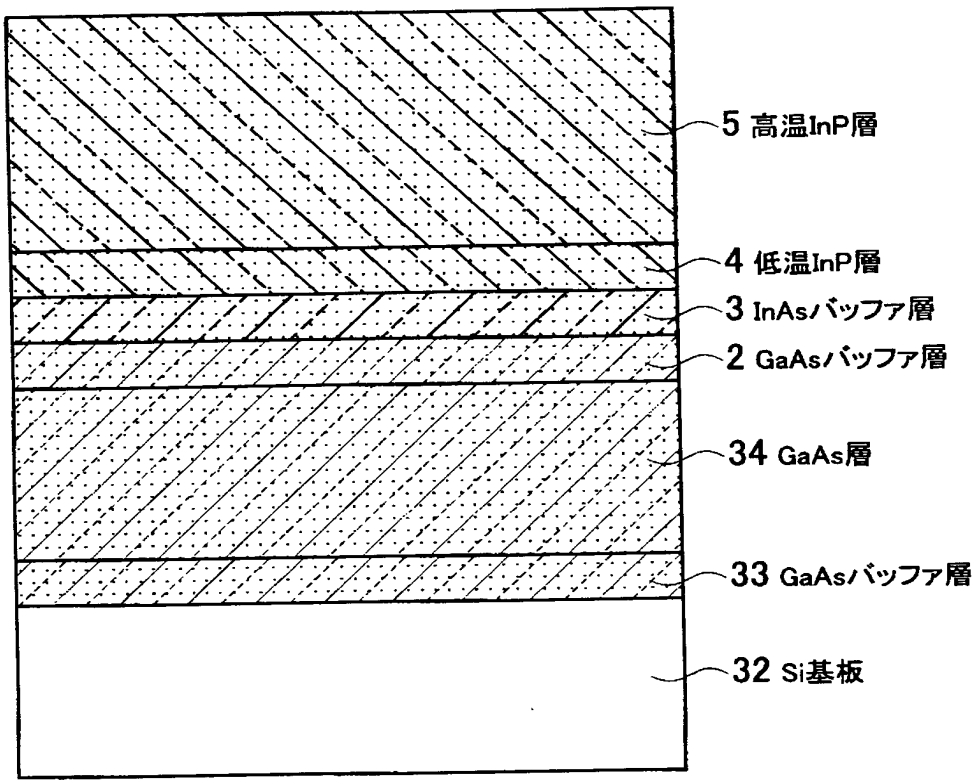
【図５】



【図６】


23 エミッタ電極
11 n型InGaAs層
10 n型InP層
22
9 n型InP層
22 ベース電極
8 p型InGaAs層
21
7 アンドープInP層
21 コレクタ電極
6 n型InGaAs層
5 高温InP層
4 低温InP層
3 InAsバッファ層
34 GaAs層
33 GaAsバッファ層
32 Si基板

【図７】


5 高温InP層
4 低温InP層
3 InAsバッファ層
2 GaAsバッファ層
34 GaAs層
33 GaAsバッファ層
32 Si基板

【書類名】　　要約書

【要約】

【課題】　安価で素子寿命の長いトランジスタを提供する。

【解決手段】　ガリウム砒素（ＧａＡｓ）基板上にインジウム砒素（ＩｎＡｓ）層を設け、インジウム砒素層上にガリウム砒素基板より大きくインジウム砒素層より小さい格子定数を有する半導体層設ける。

【選択図】　　図１

出証特２００２－３０９４３１８

出　願　人　履　歴　情　報

識別番号　　〔０００００３０７８〕

１．変更年月日　　２００１年　７月　２日
［変更理由］　住所変更
住　所　　東京都港区芝浦一丁目１番１号
氏　名　　株式会社東芝